

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

특 2000-0057740

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> G02F 1/136	(11) 공개번호 (43) 공개일자	특2000-0057740 2000년09월25일
(21) 출원번호	10-2000-0001140	
(22) 출원일자	2000년01월11일	
(30) 우선권주장	99-6082 1999년01월13일 일본(JP)	
(71) 출원인	소니 가부시키 가이샤	이데이 노부유키
(72) 발명자	일본국 도쿄도 시나가와구 키탄시나가와 6초메 7반 35고 가이세기쿠오	
(74) 대리인	일본국도쿄도시나가와구키탄시나가와6초메 7반35고 소니가부시키가이샤내 시마슈이치 일본국도쿄도시나가와구키탄시나가와6초메 7반35고 소니가부시키가이샤내 박종길, 김재만	

상사광구 : 액정

(54) 액정 패널, 액정 패널 제조 방법, 액정 표시 장치, 및액정 프로젝터

요약

액정패널과 관련하여 액스 사이즈(gap size)를 조정함으로써 표시 품질이 향상된 어느 타입의 액정 패널, 및 액정 패널의 상기 액정 패널을 채용하는 액정 표시 장치 및 액정 프로젝터가 개시되어 있다. 또한, 저코스트로 생산성 있게 이안 같은 액정 패널을 제조하는 방법이 개시되어 있다. 액정 패널은 통상 소정의 갭을 형성하고 서브 대향하는 제1 및 제2 기판과, 이 소정의 갭을 충전하는 액정층으로 이루어진다. 액정층에 인장하는 제1 기판의 한 표면은 액정층측 상에 평탄면을 가지는 평탄화 막으로 형성된다. 매트릭스 형의 투수의 화소가 평탄화 막의 평탄화 상에 형성되고, 차광(遮光) 영역은 블랙 매트릭스(black matrix)로서 신호 배선에 의해 인장하는 화소 사이에 형성된다. 제1 및 제2 기판 사이에 소정의 갭을 형성하는 플기부는 블랙 매트릭스의 안료 위에 위치하는 평탄화 막의 평탄화 상에 형성되며, 액정층에 인장한 제2 기판의 가장 안쪽에 접촉한다. 플기부는 TFT 프로세스에 의해 형성된다.

도면도

도1

제1면

액정 패널, 액정층, 제1 기판, 제2 기판, 신호 배선.

제2면

도면의 주요부분 설명

- 도 1은 본 발명의 액정 패널의 한 실시 형태를 나타낸 요부 단면도.
- 도 2는 도 1에 나타낸 액정 패널의 제1 기판의 평면도.
- 도 3 (a)~(f)는 도 1에 나타낸 액정 패널 제조 방법의 공정을 나타낸 단면도.
- 도 4는 본 발명의 다른 실시 형태의 액정 패널의 요부 평면도.
- 도 5 (A)는 본 발명의 액정 패널의 제2 기판이 마이크로렌즈를 가진 경우의 액정 패널의 요부 단면도.
- 도 5 (B)는 도 5 (A)의 평면도.
- 도 6은 본 발명의 제2 기판이 도 5 (A)와 5 (B)와 상이한 마이크로렌즈를 가진 경우의 액정 패널의 요부 평면도.
- 도 7은 본 발명의 액정 패널이 대형인 경우의 액정 패널의 요부 평면도.

<도면의 주요 부분에 대한 부호의 설명>

1: 액정 패널, 2: 제1 기판, 3: 제2 기판, 4: 액정층, 5, 20: 절연 기판, 10: 게이트 배선, 11: 신호 배선, 16: 블랙 매트릭스, 17: 평탄화 막, 18: 플기부, 23: 화소 전극, 24: 마이크로렌즈.

발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 투과형이나 반사형의 액정 표시 장치 또는 강유전체(強誘電體) 액정 표시 장치 등의 액정 표시 장치, 액정 패널의 제조 방법, 액정 패널을 사용하는 액정 표시 장치, 및 액정 패널을 사용하는 액정 프로젝터에 사용되는 액정 패널에 관한 것이다.

종래의 액정 표시 장치로 사용되는 액정 패널은, 유리 등으로 이루어지는 한쌍의 기판이 소정의 간격(갭(gap))을 두고 대향 배치되고, 이들 기판 사이에 액정층이 형성되어 소정의 갭을 채우고, 다수의 화소가 매트릭스형으로 형성된 구조를 가지고 있다. 한쌍의 기판의 한쪽에는, 그 액정층측에 예를 들면, 박막 트랜지스터(TFT) 등의 스위칭 소자 및 화소 전극이 화소마다 형성되어 있고, 다른쪽에는 그 액정층측에 상기 화소 전극에 대향하여 대향 전극이 형성되어 있다. 또, 다른쪽의 기판에는 그 밖에, 예를 들면 컬러 필터 및/또는 마이크로렌즈 등이 설치되어 있는 경우도 있다.

이와 같은 액정 패널에서는, 응답 속도나 콘트라스트, 시야각 등의 특성이 액정층의 두께가 되는 대향 기판 사이의 상기 갭의 치수와 밀접한 관계가 있기 때문에, 갭을 소오 치수로 엄밀하게 제어하는 것이 높은 표시 품질을 얻는 데 중요하게 되어 있다. 또, 갭 치수가 불균일하면, 뉴턴의 링(Newton's rings) 때문에 표시 불균일이 발생하여 가시성(可視性)의 저하를 초래한다. 그래서, 종래에는 한쌍의 기판 사이에 불형(不形)이나 구형(球形)의 유리나 플라스틱 등으로 이루어지는 스페이서(spacer)를 분산하여 갭 치수의 조정을 행하고 있다. 이 스페이서의 분산 방법으로서, 예를 들면 한쌍의 기판 중 어느 하나에 대하여, 기판 전면(全面)에 랜덤(random)으로 드로하는 방법이 채용되고 있다. 또한, 이러한 액정 패널을 사용하는 종래 기술의 액정 프로젝트에서의 표시 불균일 역시 동일한 방법에 의해 방지되고 있다.

### 발명이 이루고자 하는 기술적 과제

그러나, 상기 스페이서를 사용하는 갭 조정은, 다음과 같은 문제를 가지고 있다. 상기 갭 조정은 스위칭 소자를 구성하는 반도체층에 비정질(非晶質) 실리콘(a-Si)이나 저온 조건으로 성장되는 폴리실리콘(Poly-Si)을 사용함으로써 제조된 큰 화소 사이즈(예를 들면, 약  $200\mu\text{m} \times 200\mu\text{m}$  피치)를 가지는 액정 패널에서 유효하다. 그러나, 스위칭 소자의 반도체층에 고온 조건으로 성장된 poly-Si의 TFT를 사용함으로써 제조된 작은 화소 사이즈(예를 들면,  $20\mu\text{m} \times 20\mu\text{m}$  정도 이하의 피치 등)를 가지는 액정 패널에서는, 예를 들면, 휘점(輝點) 등을 발생시키는 등, 표시 품질을 저하시켜 버린다.

즉, 스페이서가 한쌍의 기판의 어느 한쪽 전면(面)에 드로되고, 따라서 매트릭스형의 다수의 화소를 구성한 유호 화소부에도 배치되기 때문에, 화소 사이즈가 작은 액정 패널의 유호 화소부에 나타난 스페이서 때문에 액정 분자의 배향(配向) 질서의 혼란이 일어난다.

나아가, 종래 기술에서는 스페이서의 길이를 조정하여 드로할 수 없기 때문에, 반도체층의 종류에 상관 없이 어느 액정 패널에서도, 갭 치수가 불균일하게 되기 쉬워, 표시 품질의 저하를 초래하기 쉽다. 따라서, 이러한 액정 패널을 사용하는 3패널형 액정 프로젝트에서는, 갭 치수의 불균일 때문에 사용하는 모든 액정 패널의 컬러 매치가 매우 어렵다.

또, 스페이서를 사용하여 갭 조정을 행하는 경우에는, 기판에 스페이서를 드로하는 공정과 함께, 공통 전극부용의 도전 페이스트(paste)를 드로하는 공정이 필요하게 된다. 이 공통 전극부는 스위칭 소자측과 대향 전극측의 기판 사이에서 공통 전위를 취하기 위해 유호 화소부를 피한 액정 패널의 주변부에 형성하는 것이다. 따라서, 이와 같은 특자의 공정 및 각각의 공정에 사용하는 장치가 필요하기 때문에, 제조 공정이 번잡하게 되어 생산성이 감소되고, 제조 비용이 증가하게 되어 버린다.

또한, 복굴절률(複屈折率)을 이용한 반사형의 액정 표시 장치에 있어서, 강유전성 액정을 사용한 액정 패널을 구비한 것에서는, 강유전성 액정이 홀 구조를 가지고 있는 것이기 때문에, 배향 불량을 발생시키지 않고 스페이서의 드로에 의한 갭 조정을 행하는 것이 곤란하다. 또, 강유전성 액정을 사용한 액정 패널에서는, 매우 정밀도가 높은 갭 치수의 조정이 요구되고 있으며, 스페이서를 사용해도 이 요구를 만족시키는 고정밀도의 갭 조정이 어려운 것이 현실로 되어 있다.

또, 마이크로렌즈 등이 설치된 액정 패널의 제조에 있어서, 마이크로 렌즈 등이, 예를 들면 유리로 이루어지는 한쌍의 기판과 열 팽창계수가 상이한 종류의 재료로 형성되어 있는 경우에는, 액정 패널의 제조시에 가해지는 열에 의한 왜곡이 발생하는 등 하여, 이것이 원인이 되어 갭 치수를 고정밀도로 설정하는 것이 어렵다고 하는 문제점이 발생하고 있다.

따라서, 본 발명의 목적은 고정밀도 및 균일성을 가지고 갭 치수를 조정함으로써, 표시 품질이 향상된 투과형 또는 반사형 등 어느 타입의 액정 패널을 제공하는 것이다.

본 발명의 다른 목적은 높은 생산성과 함께 저비용으로 액정 패널을 제조하는 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 액정 패널을 사용하는 액정 표시 장치를 제공하는 것이다.

본 발명의 그 밖의 다른 목적은 액정 패널을 사용하는 액정 프로젝터를 제공하는 것이다.

### 발명의 구성 및 작용

본 발명의 제1 양태에 따라, 제1 기판, 그 사이에 소정의 갭을 가지고 제2 기판에 대향하는 제2 기판, 및 소정의 갭을 충전하는 액정층이 제공된다. 제1 기판은 액정층측에 평탄면을 가지는 평탄화 막으로 형성된 하나의 표면을 가진다. 매트릭스형의 복수의 화소가 평탄화 막의 평탄면에 형성되고, 차광 영역이 인접하는 화소의 사이에 형성된다. 제1 기판과 제2 기판 사이에서 소정의 갭을 형성하는 유기부가 차광 영역의 위치에서 평탄화 막의 평탄면에 형성되어 액정층에 인접한 제2 기판의 가장 안쪽 표면에 접촉한다.

본 발명의 제2 양태에 따라, 상기 액정 패널의 제조 방법이 제공된다. 유전체 기판의 하나의 표면에 평탄화 막을 형성하는 공정을 가지고, 차광 영역의 위치에서 평탄화 막의 평탄면에 플기부를 형성하여 제1 기판을 얻고, 서로 대향하는 제1 기판 및 제2 기판을 접합하여 플기가 제2 기판의 가장 안쪽 표면에 접착한다.

본 발명의 다른 양태에 따라, 상기 액정 패널을 가지는 액정 표시 장치가 제공된다. 본 발명의 또 다른 양태에 따라, 상기 액정 패널을 가지는 액정 프로젝터(예를 들면, 3패널형 액정 프로젝터)가 제공된다.

본 발명에 의한 액정 패널에서는, 제1 및 제2 기판 사이에서 소정의 갭을 형성하는 플기가 제2 기판의 가장 안쪽 표면에 접착하도록 차광 영역의 위치에서 평탄화 막의 평탄면에 형성되어 있다. 따라서, 각 화소 영역에서 플기부에 의한 액정 분자의 배향 질서의 혼란 가능성이 없다. 그 결과, 화소 사이이즈가 작은 경우에도, 표시 품질의 저하가 일어나지 않는다.

또, 플기부는 평탄화 막의 표면에 평탄화 막과 동일 재료로 형성되어 있기 때문에, 평탄화 막의 형성과 함께 플기부를 형성하는 것이 가능하게 된다. 따라서, 종래 행하고 있던 갭 조정을 위한 스페이서인 드로프가 필요하게 되기 때문에, 그 만큼 제조 공정수가 삭감된다. 또, 상기 플기부와 동일하게 구성되는 다른 플기부를 공통 전극부로부터 하고, 다수의 화소로 이루어지는 유호 화소부를 피한 위치의 평탄화 막 표면에 형성하는 구조를 하는 경우에도, 공통 전극부의 구성 요소로 되는 다른 플기부를 평탄화 막의 형성과 함께 형성 가능하다. 또한, 다른 플기부는 평탄화 막을 형성하는 공정과 상이한 공정으로 형성할 수 있다. 나아가, 화소 전극 및 공통 전극부를 평탄화 막의 플기부에 도전막을 형성함으로써, 종래 기술에서와 같이 독립하여 공통 전극부를 도전 패시스트를 도포하는 공정을 행할 필요가 없다. 그 결과, 제조 공정수가 더욱 줄어든다. 또한, 플기부는 평탄화 막과 상이한 재료로 형성할 수 있다. 이 경우, 처리 공정수가 증가하지만, 설계의 자유도가 증가하여 각 처리 공정의 마진이 늘어난다. 특히, 평탄화 막이 무기 재료로 형성되어 있는 경우에는, CMP가 평탄화에 유용할 수 있다. 이 경우, 이와 같은 액정 패널을 가지는 액정 프로젝터는 광 저항이 크게 향상된다.

또한, 차광 영역의 플기부는 TFT 공정에 의해 형성된다. 따라서, 고정밀도로 미세 가공 가능한 반도체 장치 제조 프로세스를 사용하여, 소오 높이 및 소오 형상으로 고정밀도로 형성이 가능한 동시에 소오 밀도로 형성 가능한 것이다. 따라서, 본 발명의 액정 패널에서는, 스페이서를 사용한 경우와 비교하여 보다 고정밀도로 갭 치수가 조정되고, 또한 갭 치수의 균일성이 향상된다.

또, 평탄화 막 및 플기부가 유기 재료로 형성되어 있으면, 예를 들면 제2 기판이 유리로부터 이루어지고, 제2 기판에 유리와는 열 팽창계수가 크게 상이한 유기 재료로 이루어지는 마이크로렌즈 등이 설치되어 있는 경우, 액정 패널의 제조 공정에 의해 가해지는 열에 기인하여 발생하는 제1 기판측과 제2 기판측과의 열 팽창(축수)을 작게 억제한다. 따라서, 갭 치수의 고정밀도의 조정을 용이하게 행할 수 있다.

본 발명의 액정 패널 제조 방법에서는, 제1 기판의 액정 흡출에 표면이 평탄한 평탄화 막을 형성하는 동시에, 평탄화 막과 동일 재료를 사용하여 평탄화 막의 표면이며 또한 차광 영역의 위치에 플기부를 형성하기 때문에, 종래 행하고 있던 갭 조정을 위한 스페이서인 드로프 공정이 필요하게 되기 때문에, 제조 공정수가 삭감된다. 플기부가 화소 전극의 형성 공정 전에 형성된 경우, 상기 플기부와 동일하게 구성되는 다른 플기부를 공통 전극부로부터 하고, 다수의 화소로 이루어지는 유호 화소부를 피한 위치의 평탄화 막 표면에 형성하는 공정도, 평탄화 막의 형성과 함께 행할 수 있다. 이 경우, 화소 전극이 다른 플기부의 형성 후에 평탄화 막의 평탄면에 형성되므로, 화소 전극용 도전막을 화소 전극의 형성과 함께 동시에 다른 플기부에 형성할 수 있다. 따라서, 재료 및 공통 전극부의 도전 패시스트를 도포하는 종래 기술의 공정이 요구되지 않는다. 그 결과, 제조 공정수를 삭감한다. 또한, 플기부가 화소 전극의 형성 공정 후에 형성된 경우, 처리 공정이 늘어난다. 그러나, 설계의 자유도가 증가한다. 나아가, 동일 막으로 플기부 및 평탄화 막을 형성할 필요가 없으므로, 막 선택의 자유도 및 각 공정에서의 마진이 증가한다.

또, 플기부는 TFT 공정에 의해 형성되기 때문에, 고정밀도로 미세 가공 가능한 반도체 제조 프로세스를 사용하여, 소오 높이 및 소오 형상으로 고정밀도로 형성 가능한 동시에 소오 밀도로 형성 가능하게 된다. 또한, 각 플기부를 차광 영역 위치에 형성하기 때문에, 그 후의 공정에서, 플기부를 제2 기판의 가장 안쪽에 막양게 하여 제1 기판과 제2 기판을 대향한 상태로 접합하고 제1 기판과 제2 기판과의 사이에 액정층을 형성할 때, 각 화소의 영역에서 플기부에 의한 액정 분자의 배향 질서의 혼란을 발생시키는 일도 없다. 따라서, 갭 치수가 고정밀도로 또한 균일하게 조정된 상기 발명의 액정 패널이 실현된다.

또한, 플기부를 무기 재료로 형성하면, 예를 들면 제1 기판이나 제2 기판이 유리 기판으로 이루어지고, 제2 기판에 유기 재료로 이루어지는 마이크로렌즈 등이 설치되어 있어도, 액정 패널의 제조 시에 가해지는 열에 기인하여 발생하는 제1 기판측과 제2 기판측과의 열 팽창(축수)을 작게 억제한다. 따라서, 갭 치수의 고정밀도 조정을 용이하게 행할 수 있다.

또한, 본 발명의 액정 표시 장치는, 상기 효과를 나타내는 액정 패널을 구비하고 있기 때문에, 본 발명의 액정 패널과 동일한 효과를 나타낸다. 또한, 본 발명의 3패널형 액정 프로젝터에서는, 3개 액정 패널의 갭 치수는 매우 균일하여, 컬러 매치가 용이하게 이루어진다.

다음에, 본 발명의 실시 형태를 도면에 따라 설명한다.

도 1은 본 발명의 액정 표시 장치에 구비된 액정 패널(1)의 한 실시 형태를 나타낸 요부 단면도이며, 예를 들면 투과형 액정 표시 장치의 액정 패널(1)의 예를 나타낸 것이다. 또, 도 2는 도 1에 나타낸 실시 형태에 관한 액정 패널(1)을 구성하는 제1 기판(2)측을 나타낸 평탄면도이다.

본 실시 형태에 관한 투과형 액정 표시 장치는, 도 1에 나타낸 액정 패널(1)과, 액정 패널용 드라이버(LSI)(도시 생략)와, 액정 패널(1)의 광이 입사하는 측(전면측(前面側))에 설치된 조영(백 라이트)(도시 생략) 등을 구비하여 구성되고, 배면측으로부터 액정 패널(1)로 입사된 광을 출사하여 표시하는 것이다.

액정 패널(1)은 도 1에 나타낸 바와 같이, 소정의 간격(갭)을 두고 대향 배치된 한쌍의 기판인 제1 기판(2) 및 제2 기판(3)과, 이들 제1 기판(2)과 제2 기판(3)과의 사이에 형성된 액정층(4)을 구비하여 구

형성되어 있다. 이 액정 패널(1)에서는, 다수의 화소가 매트릭스형으로 배치되어 유호 화소부가 형성되어 있고, 유호 화소부에서 인접하는 화소의 사이가 차광 영역으로 되어 있다.

즉, 제1 기판(2)에 있어서는, 예를 들면 유리 등의 투광성을 가지는 절연 기판(5)의 액정층(4)측에, 도프(dope)된 poly-Si(DOPDS)의 복수의 게이트 배선(10)이 각각 간격을 두고 대략 평행으로 배치되며, 또 시의 복수의 신호 배선(11)이 게이트 배선(10)과는 대략 직교하는 방향으로 간격을 두고 배치되어 있다. 따라서, 복수의 직사각형 영역은 게이트 배선(10) 및 신호 배선(11)에 의해 형성되어 있다. 인접하는 게이트 배선(10)과 신호 배선(11)에 의해 에워싸인 직사각형의 각 영역 내에는, 인접하는 게이트 배선(10)과 신호 배선(11)이 교차하는 부근에 박막 트랜지스터(TFT) 등으로 이루어지는 액정 구동용의 스위칭 소자(6)가 형성되어 있는 동시에, 직사각형의 각 영역을 거의 일도록 ITD의 화소 전극(19)이 형성되어 있다.

이와 같이 제1 기판(2)에서는, 유호 화소부에서 복수의 화소 전극(19)이 각각 독립하여 매트릭스형으로 배열되고, 각 화소 전극(19)의 배치 부분이 대개 화소의 영역으로 되어 있다.

스위칭 소자(6)는 제1 기판(2)의 액정층(4)측의 면에 형성된 실(島) 모양의 반도체층(7)과, 반도체층(7)상에 SiO<sub>2</sub>의 게이트 절연막(8)을 통해 형성된 DOPDS의 게이트 전극(9)과, 시의 소스 전극(13)과, 시의 드레인 전극(14)을 가지고 구성된다. 반도체층(7)은 트랜지스터의 소스, 드레인을 구성하는 것으로, 예를 들면 a-Si이나 Poly-Si으로 이루어져 있다. 또, 게이트 전극(9)은 절연 기판(5)의 액정층(4)측의 면에 형성된 게이트 배선(10)에 접속하는 상배트 형성되어 있다.

그리고, 제1 기판(2)의 내면에는, 반도체층(7), 게이트 절연막(8), 게이트 전극(9) 및 게이트 배선(10)을 덮는 상태로, 예를 들면 무기 재료로 이루어지는 제1 중간 절연막(12)이 형성되어 있다. 그리고, 소스 전극(13), 드레인 전극(14)은 각각 제1 중간 절연막(12)에 형성된 콘택트부(도시 생략)를 통해 반도체층(7)의 소스, 드레인에 접속된 상태로 제1 중간 절연막(12) 상에 형성되어 있다. 또, 상기 신호 배선(11)도 제1 중간 절연막(12) 상에 형성되어 있고, 소스 전극(13)은 이 신호 배선(11)과 접속한 상태로 형성되어 있다.

이들 신호 배선(11), 소스 전극(13), 드레인 전극(14)이나 상기한 게이트 전극(9), 게이트 배선(10)은 제2 기판(3)의 액정층(4)과 반대측, 즉 액정 패널(1)의 배면측에 배치되어 있는 조공으로부터 제2 기판(3)으로 입사되는 광을 차광하는 재트(예를 들면, Si)로 형성된 것으로 되어 있다. 본 실시 형태에서, 이들 게이트 배선(10)이나 신호 배선(11) 등은, 흡수하는 블랙 매트릭스(black matrix)(16)에 덮이는 상태로 되지만, 블랙 매트릭스(16)가 형성되지 않은 경우에는, 인접하는 화소 간(화소 전극(19) 간)을 차광하는 차광 영역을 구성하는 것으로 된다.

제1 중간 절연막(12) 상에는, 무기 재료 또는 유기 재료로 이루어지는 제2 중간 절연막(15)이, 신호 배선(11), 소스 전극(13) 및 드레인 전극(14)을 덮는 상태로 형성되어 있고, 제2 중간 절연막(15) 상에는 스위칭 소자(6)의 광의 입사를 차단하기 위한, 그리고 축적 용량을 구성하기 위한 블랙 매트릭스(16)가 형성되어 있다. 블랙 매트릭스(16)는, 예를 들면 티탄(Ti), 텅스텐(W), 몰리브덴(Mo) 등의 차광 재트로 형성되어 있고, 각 게이트 배선(10)에 따라 스위칭 소자(6), 게이트 배선(10) 등을 덮는 상태로 형성되어 있다.

따라서, 신호 배선(11) 및 블랙 매트릭스(16)에 의해, 인접하는 화소 간(화소 전극(19) 간)을 차광하는 차광 영역이 구성되어 있다. 또, 블랙 매트릭스(16)는 제2 중간 절연막(15)에 형성된 콘택트 부(도시 생략)를 통해 드레인 전극(14)에 접속되어 있다.

제2 중간 절연막(15) 상에는, 블랙 매트릭스(16)를 덮도록 하여, 액정층(4)측의 표면이 평탄한 절연성의 평탄화 막(17)이 형성되어 있고, 평탄화 막(17)의 액정층(4)측의 표면에는, 유호 화소부에서의 차광 영역 위치에 기둥 모양의 돌기부(18)가 형성되어 있다. 본 실시 형태에서는, 평탄화 막(17)의 표면이고 또한 블랙 매트릭스(16)의 위치에도 돌기부(18)가 형성된 상태로 되어 있다. 또, 평탄화 막(17)에는, 블랙 매트릭스(16)에 덮이는 콘택트 부(17a)이 형성되어 있다.

돌기부(18)는 제2 기판(3)의 액정층(4)측의 가장 안쪽에 맞닿아 제1 기판(2)과 제2 기판(3)과의 사이에 소정 치수의 갭(갭)을 형성하기 위한 것이다. 따라서, 제1 기판(2)과 제2 기판(3)과의 사이에 소정 치수의 갭을 형성할 수 있고, 또한 그 갭 치수를 유지할 수 있는 강도를 가지는 형상, 치수로 형성되어 있다. 바꿔 말하면, 형상에 대해서는, 이와 같은 구조를 충족시키고 있으면, 평탄면으로 본 상태에서 대략 직사각형이나 대략 직사각형을 이루는 각주(角柱)나, 평탄면으로 본 상태에서 대략 원형을 이루는 원주(圓柱) 등의 여러 가지 형상을 채용할 수 있다.

또, 돌기부(18)의 치수에 대해서는, 높이가 제1 기판(2)과 제2 기판(3)과의 사이에 형성되는 갭의 치수(예를 들면, 약 1 $\mu$ m~5 $\mu$ m)와 동일한 치수이며, 또한 종횡(또는 직경)이 그 갭 치수를 유지할 수 있는 강도를 유지하고 있는 치수인 동시에, 평탄면으로 본 상태에서의 면적치, 돌기부(18)를 형성한 차광 영역(블랙 매트릭스(16)) 면적의 대략 절반 이하가 되도록 설정되어 있다. 상한치를 이와 같이 설정하는 것은, 도메인 디스클리네이션(domain disclination)의 영향을 없애기 위해서이다.

돌기부(18)를 평탄면으로 본 것을 면적치, 블랙 매트릭스(16) 면적의 대략 절반이 되는 것은, 예를 들면 스위칭 소자(6)의 반도체층(7)이 얇은 조건의 Poly-Si으로 형성되고, 블랙 매트릭스(16)가 평탄면으로 본 대략 직사각형을 이루고, 그 단면(短邊)의 치수 Ldark가 10 $\mu$ m~20 $\mu$ m 정도이면, 돌기부(18)가 평탄면으로 본 대략 직사각형의 경우에는, 그 단면의 치수 Ls가 Ldark의 1/2 이하인 약 7 $\mu$ m 이하로 되고, 돌기부(18)가 평탄면으로 본 대략 원형의 경우에는, 그 직경의 치수 Ls가 약 9 $\mu$ m~10 $\mu$ m 이하로 된다. 돌기부(18)의 재트로서 갈륨 재트(흡수율)를 사용하는 경우, Ls의 최소치는 재료의 한계 해상도에 의해 규정되고, 다른 경우에는 포토리소그래피 및 에칭의 룰(rule)에 의해 규정된다.

또, 예를 들면 스위칭 소자(6)의 반도체층(7)이 얇은 조건의 Poly-Si 또는 a-Si으로 형성되고, 블랙 매트릭스(16)가 평탄면으로 본 대략 직사각형을 이루고, 그 단면의 치수 Ldark가 15 $\mu$ m~60 $\mu$ m 정도이면, 돌기부(18)가 평탄면으로 본 대략 직사각형의 경우에는, 그 단면의 치수 Ls가 Ldark의 1/2 이하인 약 25

제 이하로 되고, 플기부(18)가 평탄면으로 보아 대략 원형인 경우에는, 그 직경의 치수  $L_s$ 가 약  $30\mu\text{m}$  이하로 된다.

상기 플기부(18)는 평탄화 막(17)과 동일 재료가 형성되어 있다. 평탄화 막(17) 및 플기부(18)를 구성하는 재료로서는, 평탄화 막(17)의 표면을 종이하게 평탄하게 형성하는 것이 가능한 동시에, 그 표면에 플기부(18)를 종이하게 또한 일체적으로 형성 가능한 재료, 예를 들면 유기 재료가 채용된다. 이 유기 재료의 일례로서는, 감광성 또는 비감광성의 아크릴 수지 또는 이 아크릴 수지를 주성분으로 하는 재료를 들 수 있다. 본 실시 형태에서는, 이와 같은 유기 재료에 네거티브형의 감광성 아크릴 수지를 사용하여 평탄화 막(17) 및 플기부(18)가 구성되어 있다. 플기부(18) 및 평탄화 막(17)이 다른 재료로 형성된 경우,  $\text{SiO}_2$  등의 무기 재료를 SOG 또는 CVD에 의해 평탄화 막(17)의 재료로 사용할 수 있다. 이 경우, 평탄화 막(17)의 형성은 CMP에 의한 평탄화에 뒤따르게 된다. 그 후, 유기 재료의 플기부(18)는 전술한 방법과 동일한 방법으로 평탄화 막(17)에 형성된다.

또, 유호 화소부를 피한 패널 주변부 위치의 평탄화 막(17)의 표면에는, 상기 플기부(18)와 동일하게 구성된 다른 플기부(도시 생략)가 형성되어 있다. 이 밖의 플기부는 제1 기판(2)의 소위형 소자(6)가 제2 기판(3)의 후술하는 대향 전극과의 사이에서 공통 전위를 취하기 위한 공통 전극부의 구성 요소로 되게 된다.

이와 같은 플기부(18) 및 다른 플기부가 형성된 평탄화 막(17)의 표면에는, 각 화소의 화소 전극(19)이 콘택트 홀(17a)의 내면을 덮는 한편, 플기부(18)를 덮지 않고 형성되어 있다. 또, 유호 화소부를 피한 패널 주변부에서 평탄화 막(17)의 표면에는, 다른 플기부의 상면 및 측면을 덮는 상태로 화소 전극(19)과 동일한 재료로 이루어지는 드레인막(도시 생략)이 형성되고, 다른 플기부와 이 드레인막으로부터 전술한 공통 전극부가 구성되어 있다. 화소 전극(19) 및 공통 전극부의 드레인막은 ITO막으로 이루어지는 투명 드레인막으로 형성되어 있다. 또한, 평탄화 막(17)의 표면에는, 공통 전극부를 제외하고 화소 전극(19) 등을 덮는 상태로 배향막(도시 생략)이 형성되어 있다.

한편, 제2 기판(3)에서는, 예를 들면 유리 등의 투광성을 가지는 절연 기판(20)의 액정층(4)측에, 절연 기판(20)의 대향 전면(前面)에 대향 전극(21)이 형성되고, 또한 대향 전극(21) 상에 배향막(도시 생략)이 형성되어 있다. 대향 전극(21)은, 예를 들면 ITO막으로 이루어지는 투명 드레인막으로 형성되어 있다.

그리고, 액정 패널(1)에서는, 제1 기판(2)과 제2 기판(3)이 제1 기판(2)의 플기부(18)를 제2 기판(3)의 액정층(4)측의 가장 안쪽인 배향막에 맞닿게 한 상태로 TN 액정의 액정층(4)를 사이에 두고 대향 배치되어 있다.

다음에, 도 3 (a)~3 (f)를 참조하여, 본 발명의 액정 패널(1)의 제조 방법의 한 실시 형태를 설명한다.

도 3 (a)~(f)는 도 1에 나타난 액정 패널(1)의 제조 방법을 공정순으로 나타낸 요부 단면도이다.

액정 패널(1)을 제조하는 데 있어서는, 먼저 기존 기술에 의해, 도 3 (a)에 나타난 바와 같이, 절연 기판(5)의 액정층(4)측이 되는 일면측에 소위형 소자(6)의 반도체층(7), 게이트 절연막(8), 게이트 전극(9), 게이트 배선(10)(도 2 참조)을 형성하고, 이들을 덮는 상태로 절연 기판(5)의 일면측에 제1 중간 절연막(12)을 형성한다. 계속해서, 제1 중간 절연막(12) 상에 소스 전극(13), 드레인 전극(14), 신호 배선(11)(도 2 참조)을 형성한다. 이에 따라, 유호 화소부의 각 화소 영역에 소위형 소자(6)가 형성된다.

또한, 도 3 (b)에 나타난 바와 같이, 제1 중간 절연막(12) 상에 소스 전극(13), 드레인 전극(14), 신호 배선(11)을 덮는 상태로 제2 중간 절연막(15)을 형성하고, 제2 중간 절연막(15) 상에, 예를 들면 스퍼터링(sputtering), 포토리소그래피(photo lithography), 에칭(etching) 기술에 의해 블랙 매트릭스(16)를 형성한다.

이어서, 도 3 (c) 및 (d)에 나타난 바와 같이, 평탄화 막(17) 및 플기부(18)를 형성하는 공정을 행한다. 본 실시 형태에서는, 예를 들면 평탄화 막(17) 및 플기부(18)의 재료에 네거티브형의 감광성 아크릴 수지를 사용하고, 스핀 코팅(spin coating) 기술에 의해 블랙 매트릭스(16)를 덮도록 하여 제2 중간 절연막(15) 상에 표면이 평탄하게 되는 막 두께, 예를 들면  $5\mu\text{m}$  정도 막 두께의 수지 재료막(22)을 형성한다.

계속해서, 도 3 (d)에 나타난 바와 같이, 평탄화 막(17)의 콘택트 홀(17a)을 형성하는 개소에 차광 패턴(31)을 가지는 동시에, 플기부(18)를 형성하는 블랙 매트릭스(16)의 직상(直上) 위치에 개구 패턴(32)을 가지고, 그 밖의 평탄한 면을 형성하는 개소가 하프톤 패턴(half-tone pattern)(33)으로 이루어지는 마스크(30)를 사용하여, 변화된 UV 노광량의 휘도를 구비한 포토리소그래피에 의해, 수지 재료막(22)으로 이루어지는 평탄화 막(17)과, 블랙 매트릭스(16)에 달하는 콘택트 홀(17a)과, 수지 재료막(22)으로 이루어지는 플기부(18)를 동시에 형성한다.

본 실시 형태의 포토리소그래피에서는, 예를 들면 자외선으로 수지막(22)의 다중 노광(多重露光)을 행한 후, 현상(現像), 포스트 베이킹(post-baking)을 거쳐 평탄화 막(17), 콘택트 홀(17a) 및 플기부(18)를 얻는다. 이 때, 갭 치수가 되는 플기부(18)의 높이를, 예를 들면  $3\mu\text{m} \sim 4\mu\text{m}$  정도로 형성한다.

그리고, 평탄화 막(17) 및 플기부(18)의 형성은, 이들 재료에 비감광성의 아크릴 수지를 사용하여, 에칭 기술에 의해 행해진다. 이 경우에는, 예를 들면 상기한 동일하게 수지 재료막(22)을 형성한 후, 수지 재료막(22) 상에 레지스트 패턴을 형성한다. 그리고, 레지스트 패턴을 마스크로 한 드라이 에칭을 행함으로써, 평탄화 막(17), 콘택트 홀(17a) 및 플기부(18)를 형성 가능하다. 이 드라이 에칭에서 사용하는 에칭 가스로서는, 예를 들면 테트라플루오르메탄( $\text{CF}_4$ ) 및 산소( $\text{O}_2$ )의 혼합 가스를 들 수 있다. 또한, 평탄화 막(17)은  $\text{SiO}_2$ 막을 형성한 다음 이 막을 CMP에 의해 평탄화함으로써 형성된다. 이 경우, 플기부(18)는 비감광성의 아크릴 수지 또는 감광성의 아크릴 수지로 형성한다.

다음에, 도 3 (e)에 나타난 바와 같이, 예를 들면 스퍼터링 기술에 의해, 콘택트 홀(17a)의 내면에, 공통 전극부를 구성하는 다른 플기부의 상면 및 측면을 덮는 한편, 플기부(18)를 덮지 않고 ITO막을 형성한다.

그리고, 포토리소그래피 및 에칭 기술에 의해 170nm를 패터닝하여 화소 전극(19)을 형성한다. 또한, 평탄화 막(17)의 표면에, 공통 전극부를 패터닝하고 화소 전극(19)을 덮는 상테르 배향막(드시 생막)을 형성한다. 이상의 공정에 의해, 화소 전극(19)이 매트릭스형으로 배치된 제1 기판(2)이 제작된다. 또한, 평탄화 막(17)이 형성된 후 즉시 화소 전극(19)이 형성된다. 즉, 플기부(18)의 재료가 평탄화 막(17)의 재료와 상이하기 때문에, 제조 공정의 자동화가 증가할 수 있다.

그 후에는, 도 3 (f)에 나타난 바와 같이, 미리 기존의 기술에 의해, 절연 기판(20)의 액정층(4)이 되는 절연층에 대한 전극(21)과, 배향막(드시 생막)이 형성되어 제작된 제2 기판(3)을 준비하고, 이 제2 기판(3)과 상기한 같이 제작된 제1 기판(2)을, 제1 기판(2)의 플기부(18)를 제2 기판(3)의 액정층(4)측의 가장 안쪽에 배향막에 맞닿게 한 상태로 대향 배치하고, 액정의 주입구를 열어 제1 기판(2) 및 제2 기판(3)의 주변부를 접합한다. 그리고, 플기부(18)에 의해 형성된 챔베, 주입구로부터 액정을 주입하여 액정층(4)을 형성하고, 주입구를 밀봉함으로써 액정 패널(1)이 제조된다.

이와 같이 상기 실시 형태의 제조 방법에서는, 제1 기판(2)의 액정층(4)측에 평탄화 막(17)을 형성하는 동시에, 평탄화 막(17)과 동일 재료를 사용하여 플기부(18)를 형성하므로, 종래 행하고 있던 겹 조정을 위한 스페이서의 도포 공정이 불필요하다. 또, 플기부(18)와 동일하게 구성된 공통 전극부가 되는 다른 플기부도, 평탄화 막(17) 및 플기부(18)의 형성과 겹해 행할 수 있다. 나아가, 평탄화 막(17) 표면의 화소 전극(19)의 형성과 겹해, 다른 플기부(19)를 덮는 드시막을 형성할 수 있기 때문에, 공통 전극부용의 드시 패시스트를 도포하는 공정을 행할 필요도 없다. 따라서, 종래와 비교하여 제조 공정수를 대폭 삭감할 수 있어, 저코스트로 액정 패널(1)을 제조할 수 있다.

또, 실시 형태의 제조 방법에서는, 플기부(18)를 형성하는 데 TFT 공정을 채용하기 때문에, 고정밀도 미세 가공 가능한 반도체 장치 제조 프로세스를 사용하여, 플기부(18)를 소오 높이 및 소오 형상으로 고정밀도로 형성할 수 있다. 또, 소오 길드로 형성할 수 있다. 더우기, 평탄성이 우수한 평탄화 막(17)도 형성 가능하다. 나아가, 두기 재료를 형성된 평탄화 막(17) 표면의 평탄화를 위해 CMP를 채용함으로써, 매우 높은 정밀도의 평탄화가 이루어질 수 있어, 광 저항을 증가하게 한다.

또한, 각 플기부(18)를 평탄화 막(17)의 표면에서 플렉 매트릭스(16)의 바로 위에 형성하므로, 그 후의 공정에서, 플기부(18)를 제2 기판(3)의 가장 안쪽에 맞닿게 하여 제1 기판(2)과 제2 기판(3)을 대향한 상태로 접합하고, 이를 통해 액정층(4)을 형성할 때, 각 화소 영역에서 플기부(18)에 의한 액정 분자의 배향 결사의 혼란이 발생하지 않는다. 따라서, 액정층(4)에서의 액정 분자의 배향성 향상을 도모할 수 있다.

또, 플렉 매트릭스(16)의 직상 위치에 플기부(18)를 형성하기 때문에, 화소 사이즈를 작게 형성하는 경우에도, 표시 품질의 저하를 회피할 수 있다. 따라서, 어떠한 화소 사이즈라도, 겹 치수가 고정밀도 또한 균일하게 조정되어 표시 품질이 높은 액정 패널(1)을 제조할 수 있다.

또, 상기 실시 형태의 액정 패널(1)에서는, 평탄화막(17)의 표면이고 또한 플렉 매트릭스(16)의 직상 위치에, 제2 기판(3) 액정층(4)측의 가장 안쪽에 맞닿게 제1 기판(2)과 제2 기판(3)과의 사이에 소정의 겹을 형성하는 플기부(19)가 형성되어 있으므로, 각 화소 영역에서 플기부(18)에 의한 액정 분자의 배향 결사 혼란이 발생하지 않다. 화소 사이즈가 작아도 플기부(18)에 의한 표시 품질의 저하가 억제되게 된다.

또, 액정 패널(1)에서는, 플기부(18) 및 공통 전극부를 구성하는 다른 플기부가, 평탄화 막(17)의 표면에 평탄화 막(17)과 동일 재료를 형성되어 있기 때문에, 상기 실시 형태의 제조 방법과 같이 평탄화 막(17)의 형성과 겹해 플기부(18) 및 다른 플기부를 형성할 수 있다. 또, 화소 전극(19)과 동일 재료에 의해 공통 전극부의 드시부가 형성되어 있으므로, 화소 전극(19)의 형성과 겹해 이 드시부의 형성도 행할 수 있다. 따라서, 종래와 비교하여 생산성을 향상할 수 있어, 저코스트로 제조할 수 있게 된다. 다른 플기부가 형성되지 않는 경우, 물론, 종래 기술의 공통 부재가 사용될 수 있다. 이 경우 또한, 큰 광량의 효과가 나타날 수 있다.

또한, 플기부(18)는 상기 실시 형태의 제조 방법과 같이, 고정밀도 미세 가공 가능한 반도체 장치 제조 프로세스를 사용하여, 소오 높이 및 소오 형상으로 고정밀도로 형성 가능한 동시에 소오 길드로 형성 가능한 것이다. 따라서, 스페이서를 사용한 경우와 비교하여 보다 고정밀도로 겹 치수가 조정되고, 또한 겹 치수의 균일성이 향상된 표시 품질이 높은 액정 패널(1)을 제조하는 액정 패널(1)을 실현할 수 있다.

따라서, 본 실시 형태에서 액정 패널(1)을 사용하는 투과형 액정 표시 장치에 의하면, 이와 같은 액정 패널(1)을 구비하고 있음에 따라, 표시 품질의 향상과 함께 제조 코스트의 저감을 도모할 수 있다. 또한, 본 발명의 투과형 액정 패널을 사용하는 3패널형 액정 프로젝터는 뛰어난 광에 기반한 표시 품질을 제 거할 수 있고, 컬러 매칭을 용이하게 달성할 수 있다(드시 생막).

그리고, 상기 실시 형태에서는, 투과형의 액정 표시 장치에 구비되는 액정 패널에 대하여 설명했지만, 본 발명은 이 예에 한정되지 않는다. 예를 들면, 반사형의 액정 표시 장치나 광투과성 액정을 사용한 액정 표시 장치에도 본 발명을 적용 가능함은 물론이다. 이 중, 예를 들면 반사형의 액정 표시 장치는, 백 리이트 방식의 조명을 사용하지 않고, 외광만을 이용하는 것이며, 예를 들면 상기 실시 형태의 화소 전극이 반사판을兼ね, 예를 들면 시 등으로 형성되고, 제2 기판의 액정층과 반대측으로부터 입사된 광을 화소 전극에 의해 반사시켜 표시하는 것이다.

따라서, 플렉 매트릭스가 불필요하게 되기 때문에, 반사형의 액정 표시 장치에 본 발명을 적용하는 경우 예는, 도 4에 나타난 바와 같이, 액정 패널을 변경할 수 있다. 즉, 도 4는 본 발명의 다른 실시 형태에 의한 액정 패널의 오부 평면도이다. 이 실시 형태에서, 평탄화 막(17)의 표면이고 또한 후로 화소부의 차광 영역, 예를 들면 시 등의 차광 재료를 이루어지는 게이트 배선(10)과 신호 배선(11)이 교차하는 위치에 플기부(18)가 형성되게 된다. 그리고, 플기부(18)를 피한 상태로 반사판을 겸한 화소 전극(23)이 형성된다.

또, 상기 실시 형태에서는, 제2 기판(3)의 액정층(4)측에 대한 전극(21) 및 배향막이 형성되어 있는 예를 설명했지만, 그 밖에, 컬러 필터 및 마이크로렌즈 중 최소한 한쪽이 제2 기판(3)의 액정층(4)측에 설치된

구으로 해도 된다. 예를 들면, 도 5 (A) 및 도 5 (B)에 나타난 바와 같이, 제2 기관(3)의 절연막(20)의 액정층(4)측에, 평탄면으로 브아 대략 사각형상의 마이크로렌즈(24)가 각 화소의 영역마다 설치되어 있는 경우에는, 마이크로렌즈(24)의 크나 위치가 되는 블랙 매트릭스(16)와 신호 배선(11)이 교차하는 위치에 불기부(18)(도 5 (B)에서 해칭(hatching)으로 나타냄)을 형성할 수 있다.

도 6은 도 5 (A) 및 도 5 (B)의 구성의 변형을 나타낸다. 도 6에 나타난 바와 같이, 제2 기관(3)의 절연막(20)의 액정층(4)측에, 평탄면으로 브아 대략 사각형상의 마이크로렌즈(24)가 각 화소의 영역마다 설치되어 있는 경우에는, 마이크로렌즈(24)의 정점(頂點) 위치이고 또한 블랙 매트릭스(16)의 바로 위에 불기부(18)(도 6에서 해칭으로 나타냄)를 형성할 수 있다.

이와 같은 위치에 불기부(18)가 형성된 구성에서는, 마이크로렌즈(24)에 의한 집광(集光) 기능이 불기부(18)에 의해 방해되지 않기 때문에, 집광율이 향상되고, 나아가 불기부(18)에 의해 갭 치수가 고정밀도로 또한 균일하게 조정된 액정 패널(1)을 얻을 수 있다.

또, 제2 기관(3)에 상기한 마이크로렌즈(24)나 컬러 필터가 설치된 액정 패널(1)에서는 통상, 제1 기관(2)의 절연 기관(5)이나 제2 기관(3)의 절연 기관(2)과 열 팽창계수가 상이한 종류의, 예를 들면 유기 재료로 마이크로렌즈(24)나 컬러 필터가 형성되는 것이 많다. 그러나, 평탄화 막(17) 및 불기부(18) 등을 유기 재료로 형성하면, 액정 패널(1)의 제조 시에 가해지는 열에 기인하여 발생하는 제1 기관(2)측과 제2 기관(3)측과의 액곡 등차를 작게 억제할 수 있다.

따라서, 갭 치수의 고정밀도의 조정을 용이하게 행할 수 있으므로, 본 발명은 제1 기관이나 제2 기관의 절연 기관과 이종(異種) 재료로 이루어지는 마이크로렌즈나 컬러 필터 등을 구비한 제2 기관을 가지는 액정 패널에 특히 유효하게 된다.

또한, 상기 실시 형태에서는, 평탄면으로 브아 대략 사각형상 기둥 모양의 불기부(18)를 형성한 예를 설명했지만, 예를 들면 강유전성 액정을 사용하여 대형 액정 패널을 구성한 액정 표시 장치와 같은 것인 경우에는, 도 7에 나타난 바와 같이 평탄화 막(17)의 표면에서 블랙 매트릭스(16)의 적상 위치에 가늘고 긴 라인상의 불기부(18)를, 예를 들면 인접하는 신호 배선(11)에 걸쳐 형성해도 된다. 그리고, 도 7에서는 화소 전극의 도시를 생략하고 있다.

도 7에 나타난 불기부(18)가 이와 같은 형상으로 형성되어 있음에 따라, 제1 기관(2)과 제2 기관(3)과의 사이의 갭 치수가, 장기간에 걸쳐 원하는 치수로 확실하게 유지되는 액정 패널(1)을 실현할 수 있으므로, 이와 같은 대형의 액정 패널에도 본 발명은 특히 유효하다. 또, 불기부에 의해 고정밀도의 갭 치수 설정을 행할 수 있는 본 발명은, 매우 엄격한 갭 조정이 요구되는 강유전성 액정을 사용한 액정 패널에 특히 유효하게 된다.

#### 발명의 효과

이상 설명한 바와 같이, 본 발명에 관한 액정 패널에 의하면, 평탄화 막의 표면이고 또한 차광 영역의 위치에, 제2 기관의 액정층측의 가장 안쪽에 당당히 제1 기관과 제2 기관과의 사이에 소정의 갭을 형성하는 불기부가 형성된 구성으로 했으므로, 액정 분자의 배향성을 향상할 수 있어, 화소 사이드가 작아도 표시 품질의 향상을 도모할 수 있다. 또, 불기부가 평탄화 막의 표면에 형성되어 있으므로, TFT 공정에 의해 스페이서로서의 불기부가 형성 가능하다. 어떤 경우에는, 공통 전극부 또는 다른 불기부도 불기부의 형성과 동시에 형성 가능하므로, 대략 제조 공정수의 삭감을 도모할 수 있어, 저코스트로 제조할 수 있다.

또한, 불기부가 TFT 공정에 의해 정밀하게 형성되고, 이에 따라 고정밀도로 미세 가공이 가능한 반도체 장치 제조 프로세스를 사용하여 소오 형상으로 고정밀도로, 나아가 소오 밑으로 형성할 수 있어, 고정밀도로 갭 치수가 조정되고, 또한 갭 치수의 균일성이 향상된 액정 패널이 실현되게 된다. 또, 불기부가 유기 재료로 형성되어 있으면, 예를 들면 제2 기관에 유리와는 열 팽창계수가 크게 상이한 유기 재료로 이루어지는 마이크로렌즈 등이 설치되어 있는 경우에도, 갭 치수의 고정밀도의 조정을 용이하게 행할 수 있다.

또, 본 발명의 액정 패널의 제조 방법에 의하면, 제1 기관의 액정층측에 표면이 평탄한 평탄화 막을 형성하는 동시에, TFT 공정을 사용하여 평탄화 막의 표면이고 또한 차광 영역의 위치에 불기부를 형성하므로, 종래와 비교하여 생산성이 양호하고, 저코스트로 액정 패널을 제조할 수 있다. 또, 불기부를 TFT 공정을 사용하여 형성하므로, 고정밀도로 미세 가공 가능한 반도체 장치 제조 프로세스를 사용하여, 소오 높이, 소오 형상, 소오 밑으로 불기부를 형성할 수 있는 동시에, 불기부를 차광 영역의 위치에 형성하기 때문에, 각 화소 영역에서 불기부에 의한 액정 분자의 배향성을 향상할 수 있다. 따라서, 갭 치수가 고정밀도로 또한 균일하게 조정된 상기 발명의 액정 패널을 실현할 수 있다. 나아가, 불기부에 평탄화 막과 동일한 재료를 사용함으로써, 액정 패널을 공정수를 줄여 저코스트로 제조할 수 있다.

또한, 상기 발명과 동일하게, 평탄화 막 및 불기부를 유기 재료로 형성하면, 제2 기관에 유리와는 열 팽창 계수가 크게 상이한 유기 재료로 이루어지는 마이크로렌즈 등이 설치되어 있는 경우에도, 갭 치수의 고정밀도의 조정을 용이하게 행할 수 있는 효과가 얻어진다. 또한, 평탄화 막을 유기 재료를 사용함으로써, 평탄화 막과 불기부를 동시에 형성할 수 있다. 평탄화 막을 유기 재료로 형성한 경우에는, 평탄화 막의 표면을 CMP를 채용하여 고정밀도로 평탄화할 수 있고, 평탄화 막의 평탄면에 형성된 불기부에 의한 갭 제어를 더욱 용이하게 행할 수 있다. 이 경우, 매우 높은 광 저항 및 낮은 표시 불균일을 가지는 액정 프로젝터를 얻을 수 있다.

또, 본 발명의 액정 표시 장치에 의하면, 상기 발명의 액정 패널을 구비하고 있기 때문에, 이 발명의 액정 패널과 동일하게, 투과형이나 반사형 등 어떠한 종류의 것이라도, 갭 치수가 고정밀도로 또한 균일하게 조정된 표시 품질이 양호한 액정 패널을 저코스트로 생산성 양호하게 제조할 수 있는 효과를 얻을 수 있다.

본 발명을 실시 형태를 참조하여 설명했지만, 본 발명은 전술한 실시 형태에 한정되지 않고, 이 기술 분야에서 숙련된 자는 다음의 특허 청구의 범위에 정의된 사상 및 범위를 이탈하지 않고 여러 가지의 변형



및 변경이 가능하다.

(57) 청구의 범위

청구항 1. 평탄화 막, 복수의 화소, 및 인접하는 상기 복수의 화소 사이에 존재하는 차광 영역으로 형성된 하나의 표면을 가지는 제1 기관;

그 사이에 형성된 소정의 갭을 가지고 상기 제1 기관에 접합된 제2 기관; 및

상기 소정의 갭을 충전하는 액정층으로 이루어지고,

상기 평탄화 막은 상기 액정층에 인접하는 상기 제2 기관의 가장 안쪽에 접촉하며, 상기 제1 기관과 제2 기관 사이에서 상기 소정의 갭을 형성하는 돌기부로 형성된 평탄면을 가지고, 상기 돌기부는 상기 차광 영역에 위치하는

액정 패널.

청구항 2. 제1항에 있어서,

상기 돌기부는 상기 평탄화 막과 동일 재료가 형성되는 액정 패널.

청구항 3. 제1항에 있어서,

상기 돌기부는 상기 평탄화 막과 상이한 재료로 형성되는 액정 패널.

청구항 4. 제1항에 있어서,

상기 평탄화 막의 상기 평탄면은 각 화소에 상응하는 영역에서 상기 돌기부를 덮지 않은 화소 전극으로 형성되어 있는 액정 패널.

청구항 5. 제1항에 있어서,

상기 돌기부는 면적이 상기 차광 영역 면적의 약 1/2인 단면(端面)을 가지는 액정 패널.

청구항 6. 제1항에 있어서,

상기 제2 기관의 액정층의 가장 안쪽 표면은 컬러 필터 및 마이크로렌즈(microlens) 중 최소한 하나가 설치되어 있는 액정 패널.

청구항 7. 제1항에 있어서,

상기 평탄화 막의 상기 평탄면은 상기 제1 기관이 상기 제2 기관에 대하여 공통 전위를 가지도록 허용하는 공통 전극부로 형성되고, 상기 공통 전극부는 상기 화소의 매트릭스에 의해 형성된 유호 화소부의 외측에 위치하고, 상기 공통 전극부는 상기 돌기부와 동일한 제2 돌기부와 상기 제2 돌기부를 덮는 도전막으로 구성되는 액정 패널.

청구항 8. 제1항에 있어서,

상기 돌기부는 유기 재료로 형성되는 액정 패널.

청구항 9. 제1항에 있어서,

상기 유기 재료는 감광성 또는 비감광성의 마크릴 수지 또는 상기 마크릴 수지를 주성분으로 하는 재료인 액정 패널.

청구항 10. 제3항에 있어서,

상기 평탄화 막은 유기 재료로 형성되고, 상기 돌기부는 유기 재료로 형성되는 액정 패널.

청구항 11. 제1 기관과 제2 기관을 준비하고;

상기 제1 기관의 하나의 표면에 매트릭스형으로 복수의 화소를 형성하고;

상기 제1 기관의 상기 하나의 표면에서 인접하는 복수의 화소 사이에 차광영역을 형성하고;

상기 제1 기관의 상기 하나의 표면에 평탄화 막을 형성하는 공정;

상기 차광 영역의 위치에서 상기 평탄화 막의 평탄면에 돌기부를 형성하는 공정;

소정의 갭을 가지고 서로 대향하는 상기 제1 기관과 상기 제2 기관 및 상기 제2 기관의 가장 안쪽 표면에 접촉하는 상기 돌기부를 접합하는 공정; 및

필요 상태의 상기 소정의 갭을 액정층으로 충전하는 공정으로 이루어지는 액정 패널의 제조 방법.

청구항 12. 제11항에 있어서,

상기 돌기부는 상기 평탄화 막과 동일 재료로 형성되는 액정 패널의 제조 방법.

청구항 13. 제12항에 있어서,

상기 평탄화 막을 형성하는 상기 공정은 상기 돌기부를 형성하는 상기 공정과 동일한 액정 패널의 제조 방법.

청구항 14. 제11항에 있어서,

상기 돌기부는 상기 평탄화 막의 재료와 상이한 재료로 형성되는 액정 패널의 제조 방법.

청구항 15. 제11항에 있어서,

상기 평탄화 막 및 상기 돌기부를 형성하는 상기 공정 후 및 상기 제1 기판과 상기 제2 기판을 접합하는 상기 공정 전에, 상기 돌기부를 덮지 않은 위치의 각 화소를 형성하는 영역에서 상기 평탄화 막의 상기 평탄면에 화소 전극을 형성하는 공정을 추가로 구성하는 액정 패널의 제조 방법.

청구항 16. 제11항에 있어서,

상기 평탄화 막을 형성하는 상기 공정 후 및 상기 돌기부를 형성하는 상기 공정 전에, 각 화소를 형성하는 영역에서 상기 평탄화 막의 상기 평탄면에 화소 전극을 형성하는 공정을 추가로 구성하는 액정 패널의 제조 방법.

청구항 17. 제11항에 있어서,

상기 액정층에 인접하는 상기 제2 기판의 상기 가장 안쪽 표면은 컬러 필터 및 마이크로렌즈 중 최소한 하나로 형성되어 있는 액정 패널의 제조 방법.

청구항 18. 제15항에 있어서,

상기 돌기부를 형성하는 상기 공정은 상기 화소의 매트릭스에 의해 형성된 유호 화소부인 외측 위치에서 상기 평탄화 막의 상기 평탄면에 상기 돌기부와 동일한 제2 돌기부를 형성하는 공정을 포함하고; 그리고 상기 화소 전극을 형성하는 상기 공정은 상기 화소 전극용 도전막을 형성하고, 상기 도전막으로 상기 제2 돌기부를 덮어 상기 제2 돌기부와 상기 도전막으로 구성되고 상기 제1 기판이 상기 제2 기판에 대하여 공통 전위를 가지도록 허용하는 공통 전극부를 포함하는 액정 패널의 제조 방법.

청구항 19. 제11항에 있어서,

상기 돌기부를 형성하는 상기 공정은 상기 돌기부를 유기 재료를 채우는 액정 패널의 제조 방법.

청구항 20. 제19항에 있어서,

상기 유기 재료는 감광성 또는 비감광성 아크릴 수지 또는 상기 아크릴 수지를 주성분으로 하는 재료인 액정 패널의 제조 방법.

청구항 21. 제14항에 있어서,

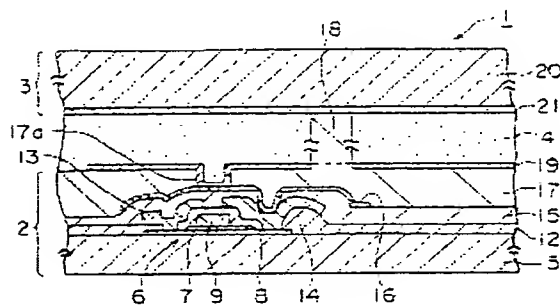
상기 평탄화 막을 형성하는 상기 공정은 유기 재료를 채우고, 상기 돌기부를 형성하는 상기 공정은 유기 재료를 채우는 액정 패널의 제조 방법.

청구항 22. 제1항에 따른 액정 패널을 가지는 액정 표시 장치.

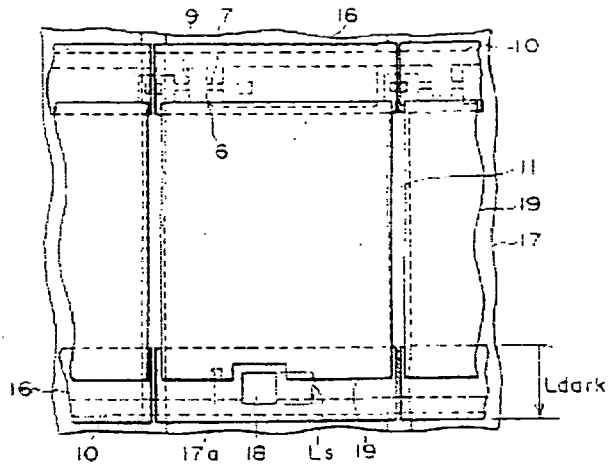
청구항 23. 제1항에 따른 액정 패널을 가지는 액정 프로젝터.

도면

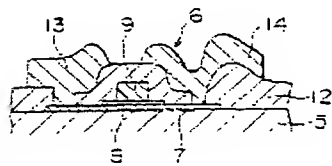
도면1



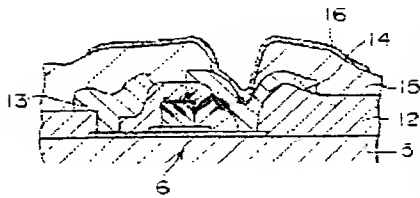
도 22



도 23a



도 23b



도 23c

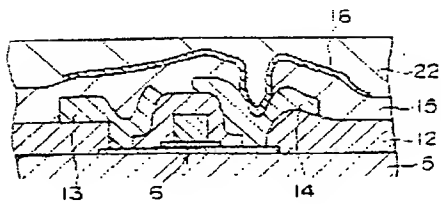


図 3a

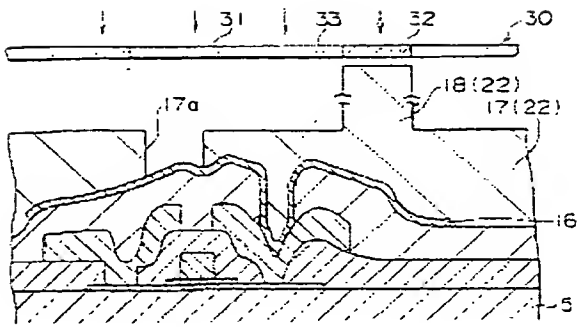


図 3b

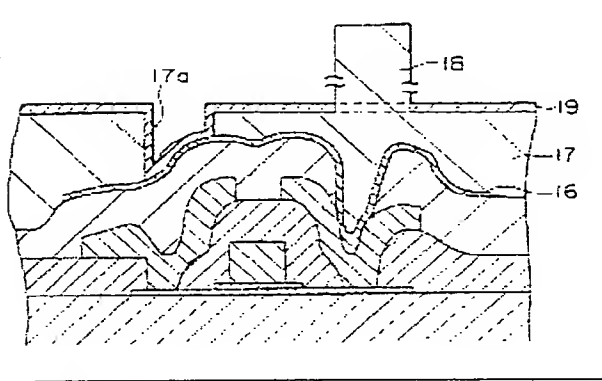


図 3c

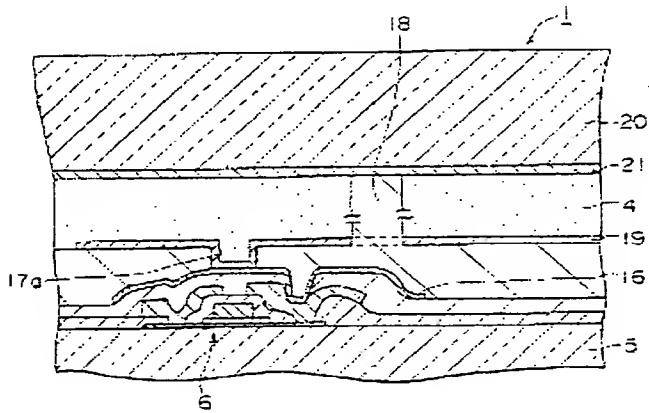


図 24

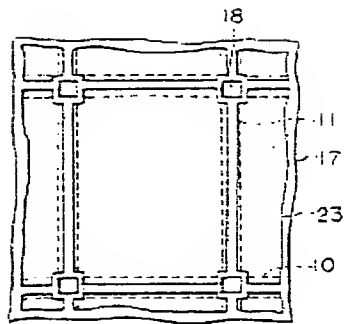


図 25

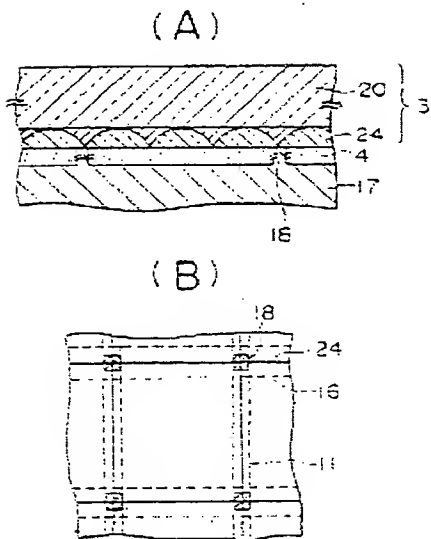
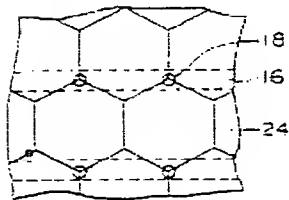


図 26



527

